CH32V003 データシート

V1.7
https://wch-ic.com

概要

CH32V003シリーズは、QingKe RISC-V2Aコアに基づいて設計された、産業グレードの汎用マイクロコントローラである。48MHzのシステム主周波数、広い動作電圧範囲、単線式シリアルデバッグインタフェース、低消費電力、超小型パッケージをサポートする。

一般的に使用される周辺機能を備えており、内蔵のDMAコントローラ1群、10ビットADC1群、OPAコンパレータ1群、複数のタイマ、USART・I2C・SPIなどの標準通信インタフェースを提供する。

製品の定格動作電圧は3.3Vまたは5Vであり、動作温度範囲は−40℃～85℃の産業グレードである。

機能一覧

■ コア
・QingKe 32ビット RISC-Vコア（RV32EC命令セット）
・高速プログラマブル割り込みコントローラ＋ハードウェア割り込みスタック
・2段階の割り込みネストをサポート
・システム主周波数48MHzをサポート

■ メモリ
・2KB 揮発性データストレージ領域（SRAM）
・16KB プログラムメモリ（CodeFlash）
・1920B ブートローダ（BootLoader）
・64B 不揮発性システム構成メモリ
・64B ユーザー定義メモリ

■ 電源管理・低消費電力
・システム電源VDD：3.3Vまたは5V
・低消費電力モード：スリープ、スタンバイ

■ クロック＆リセット
・工場調整済み内蔵24MHz RCオシレータ
・内蔵128KHz RCオシレータ
・高速外部オシレータ：4～25MHz
・電源オン／オフリセット、プログラマブル電圧検出器

■ 7チャネル汎用DMAコントローラ
・7チャネル、リングバッファをサポート
・TIMx／ADC／USART／I2C／SPIをサポート

■ オペアンプおよびコンパレータ1群：ADCおよびTIM2と接続

■ 10ビットADC 1群
・アナログ入力範囲：0～VDD
・外部信号8本＋内部信号2本
・外部遅延トリガをサポート

■ 複数のタイマ
・16ビット高機能制御タイマ：デッドゾーン制御および緊急ブレーキ付き。モータ制御用PWM補完出力を提供可能
・16ビット汎用タイマ：入力キャプチャ／出力比較／PWM／パルスカウント／インクリメンタルエンコーダ入力を提供

・ウォッチドッグタイマ2種（独立型およびウィンドウ型）
・SysTick：32ビットカウンタ

■ 通信インタフェース
・USARTインタフェース
・I2Cインタフェース
・SPIインタフェース

■ GPIOポート
・GPIOポート3群、計18本のI/Oポート
・外部割り込み1本にマッピング可能

■ セキュリティ機能：96ビットユニークID

■ デバッグモード：1線式シリアルデバッグインタフェース（SDI）

■ パッケージ：SOP、TSSOP、QFN

<table>
<tr><th>Model</th><th>Flash memory</th><th>SRAM</th><th>Pin No.</th><th>Generalpurpose I/O</th><th>Advanced control timer</th><th>Generalpurpose timer</th><th>Watchdog</th><th>System clock source</th><th>ADC Channel No.</th><th>SPI</th><th>I2C</th><th>USART</th><th>Package Form</th></tr>
<tr><td>CH32V003F4P6</td><td rowspan="2">16K</td><td rowspan="2">2K</td><td rowspan="2">20</td><td rowspan="2">18</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="2">2</td><td rowspan="2">3</td><td rowspan="2">8</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="2">1</td><td>TSSOP20</td></tr>
<tr><td>CH32V003F4U6</td><td>QFN20</td></tr>
<tr><td>CH32V003A4M6</td><td>16K</td><td>2K</td><td>16</td><td>14</td><td>1</td><td>1</td><td>2</td><td>3</td><td>6</td><td rowspan="2">-</td><td>1</td><td>1</td><td>SOP16</td></tr>
<tr><td>CH32V003J4M6</td><td>16K</td><td>2K</td><td>8</td><td>6</td><td>1</td><td>1</td><td>2</td><td>3</td><td>6</td><td>1</td><td>1</td><td>SOP8</td></tr>
</table>

Chapter 1 仕様

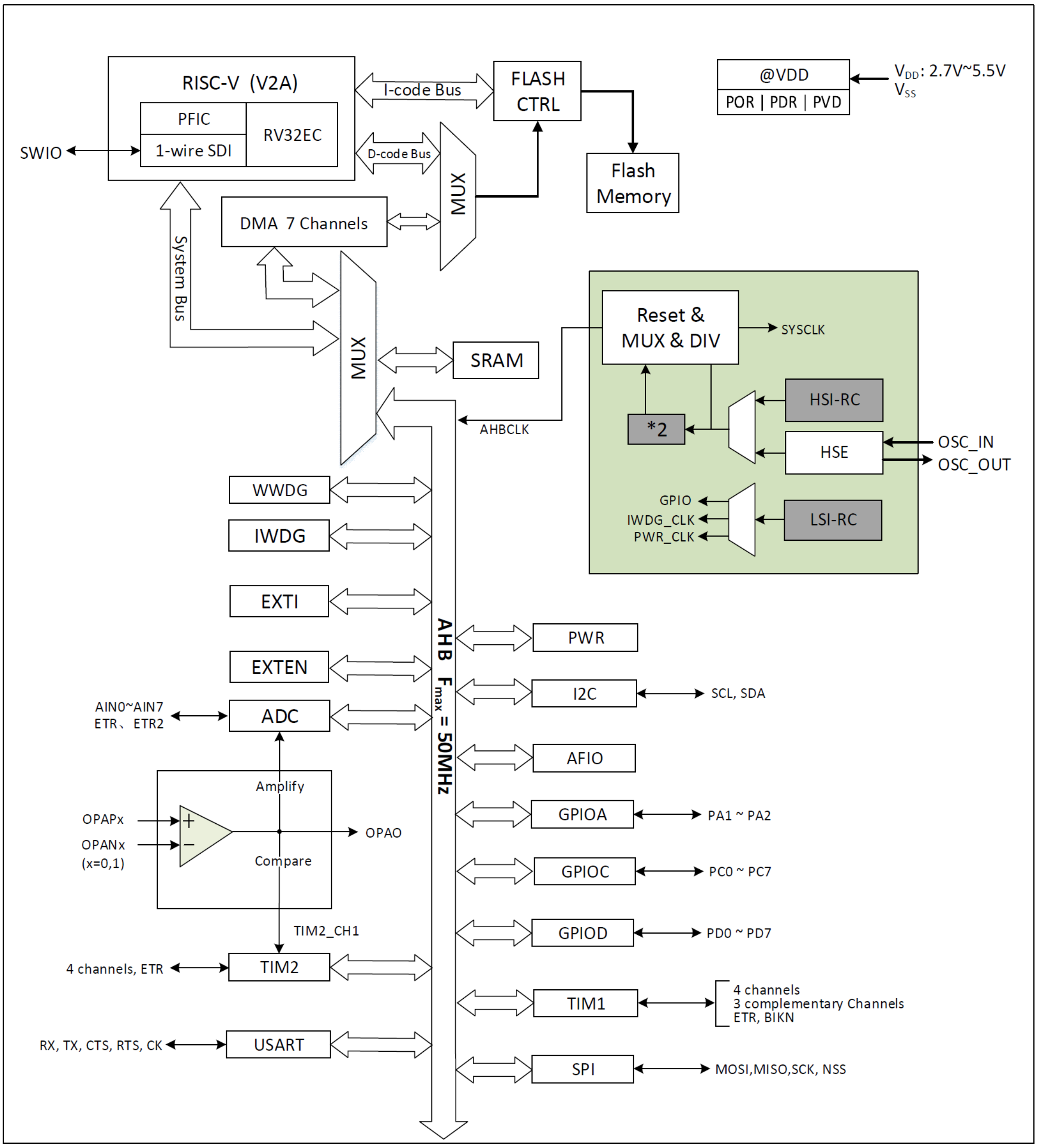
1.1 システムアーキテクチャ

本マイクロコントローラは、QingKe V2A設計によるRISC-V命令セットに基づいており、そのアーキテクチャはコア、アービトレーションユニット、DMAモジュール、SRAMストレージなどの構成要素が複数のバス群を介して相互に連携する構造である。

設計には汎用DMAコントローラが統合されており、CPU負荷の軽減とアクセス効率の向上を図っている。また、データ保護機構および自動クロック切替保護機能を備えており、システムの安定性を高めている。

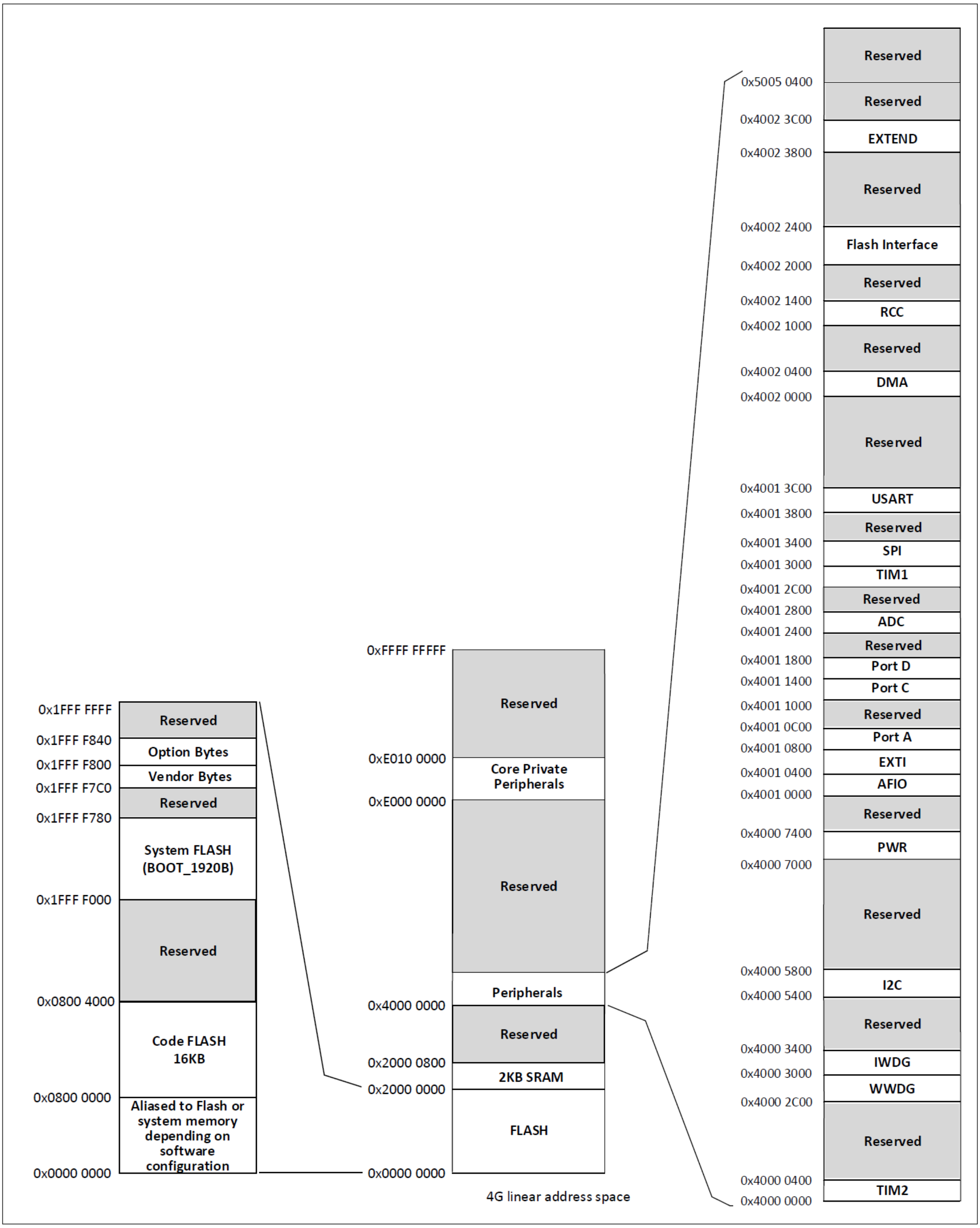
以下の図は、本製品の全体的なアーキテクチャを示している。

図1-1 システムブロック図



1.2 メモリマップ

図1-2 メモリアドレスマップ



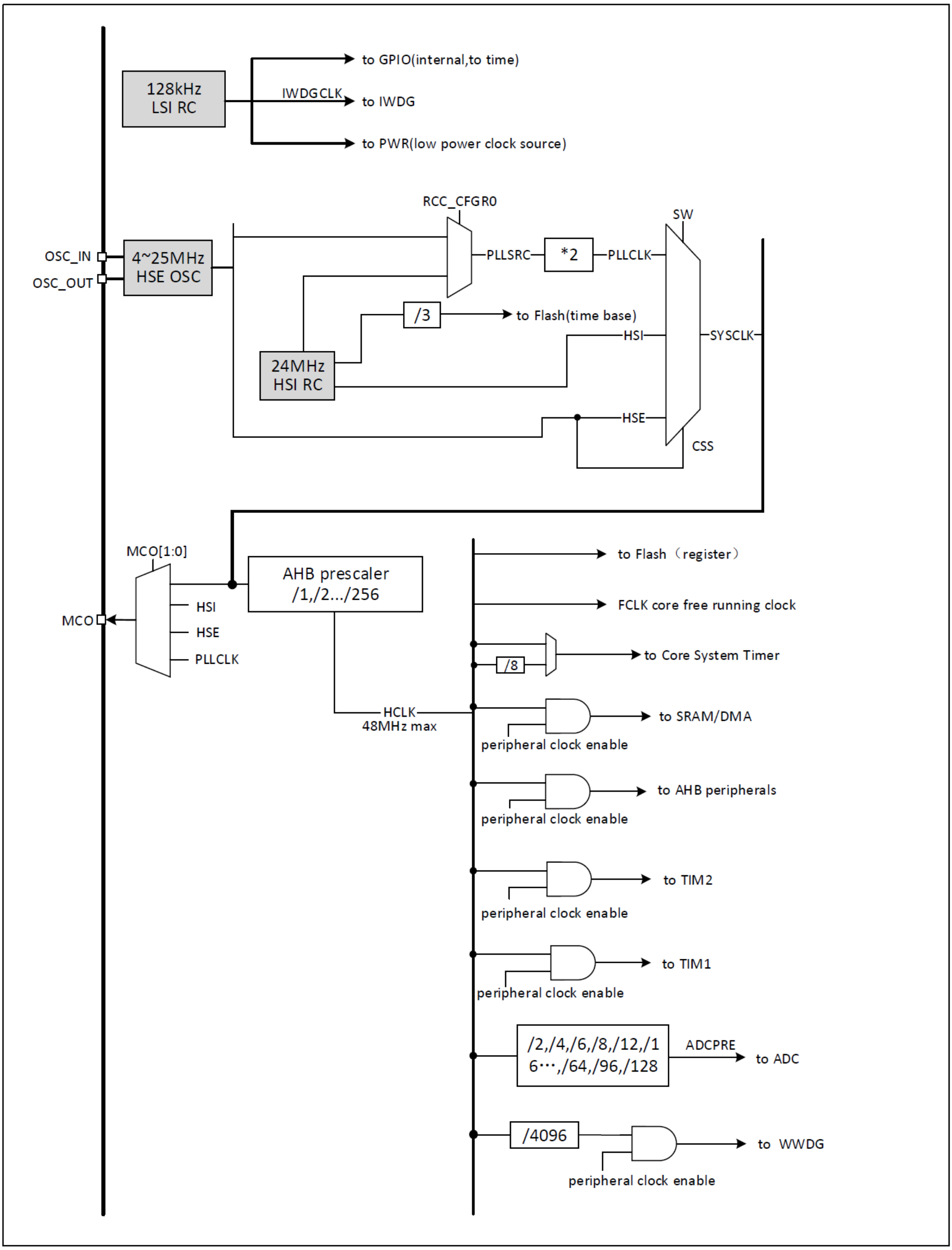
1.3 クロックツリー

システムには3群のクロックソースが導入されている:
内部高周波RCオシレータ(HSI)
内部低周波RCオシレータ(LSI)
外部高周波オシレータ(HSE)
および外部低周波オシレータ(LSE)

このうち、低周波クロックソースはRTCおよび独立型ウォッチドッグのクロック参照を提供する。高周波クロックソースは、PLLにより 2倍の周波数で直接または間接的にシステムクロック(SYSCLK)として出力される。

システムクロックは各プリスケーラによって分配され、AHBドメインにおける周辺制御クロックやサンプリング／出力クロックを提供する。一部のモジュールにはPLLクロックから直接供給される必要がある。

図1-3 クロックツリーブロック図



1.4 機能説明

1.4.1 RISC-V2Aプロセッサ

RISC-V2AはRISC-V命令セットのECサブセットをサポートする。プロセッサは内部的にモジュール構造で管理され、高速プログラマブル割り込みコントローラ（PFIC）、拡張命令サポートなどのユニットを含む。バスは外部ユニットモジュールと接続され、外部機能モジュールとコア間の相互作用を可能にする。RV32EC命令セット、小エンディアンデータモード。

最小限の命令セット、複数の動作モード、モジュール式のカスタム拡張により、マイクロコントローラ設計のさまざまなシナリオ（小面積・低消費電力の組込み用途など）に柔軟に適用可能である。

- マシンモードをサポート
- 高速プログラマブル割り込みコントローラ（PFIC）
- 2段階ハードウェア割り込みスタック
- 1線式シリアルデバッグインタフェース（SDI）
- カスタム拡張命令

1.4.2 オンチップメモリおよびブートモード

- 内蔵2KB SRAM領域（データストレージ用、電源断でデータ消失）
- 内蔵16KBプログラムフラッシュメモリ（Code FLASH、ユーザーアプリケーションおよび定数データ保存用）
- 内蔵1920Bシステムストレージ（System FLASH、システムブートローダ保存用。工場書き込み済みブートローダ）
- 64B：システム不揮発性構成情報保存領域
- 64B：ユーザー選択ワード保存領域
- ブートコードとユーザーコード間のジャンプをサポート

1.4.3 電源供給方式

VDD = 2.7～5.5V：一部のI/Oピンおよび内部電圧レギュレータへの電源供給（ADC使用時に2.9V未満ではVDD性能が徐々に劣化する）

1.4.4 電源監視機能

本製品は、電源投入リセット（POR）／電源断リセット（PDR）回路を内蔵しており、常時動作状態にあることでシステムの電源供給を保証する。電源電圧が2.7Vを超えると動作し、VDDが設定されたしきい値（VPOR／PDR）を下回ると、外部リセット回路を使用せずにデバイスはリセット状態に置かれる。

さらに、システムにはプログラマブル電圧監視機能（PVD）が搭載されており、ソフトウェアによって有効化することで、VDD電源電圧と設定されたしきい値VPVDとの比較が可

能となる。PVDの対応するエッジ割り込みを有効にすることで、VDDがPVDしきい値に到達した際（下降または上昇）に割り込み通知を受け取ることができる。VPOR／PDRおよびVPVDの値については第4章を参照。

1.4.5 電圧レギュレータ

リセット後、レギュレータは自動的に起動され、用途に応じて以下の3つの動作モードが存在する:

- ONモード:通常動作。安定したコア電源を供給する。
- 低消費電力モード:CPUがストップモードに入ると、システムは自動的にスタンバイモードへ移行する。

1.4.6 低消費電力モード

システムは2種類の低消費電力モードをサポートしており、消費電力の低減、短い起動時間、複数のウェイクアップイベントに対応することで最適なバランスを実現する。

スリープモード

スリープモードでは、CPUクロックのみが停止し、すべての周辺クロックは通常通り供給され、周辺機能は動作状態にある。このモードは最も浅い低消費電力モードであり、システムの復帰が最も高速である。

復帰条件:任意の割り込みまたはウェイクアップイベント。

スタンバイモード

PDDSおよびSLEEPDEEPビットを設定し、WFI／WFE命令を実行することで突入する。カーネル部の電源供給が停止され、HSIのRCオシレータおよびHSE水晶オシレータも停止されるため、最も低い消費電力が達成される。

復帰条件:任意の外部割り込み／イベント（EXTI信号）、NRSTへの外部リセット信号、IWDGリセット。EXTI信号には18本の外部I/Oポートのいずれか、PVD出力、AWU自動ウェイクアップが含まれる。

1.4.7 高速プログラマブル割り込みコントローラ（PFIC）

本製品に内蔵された高速プログラマブル割り込みコントローラ（PFIC）は、最大255個の割り込みベクタをサポートし、柔軟な割り込み管理機能と最小限の割り込みレイテンシを提供する。現在の製品では、4個のコア専用割り込みおよび23個の周辺割り込みを管理しており、その他の割り込みソースは予約済みである。PFICのレジスタはすべてマシン特権モードでアクセス可能。

- 個別にマスク可能な割り込みを2系統サポート
- マスク不可割り込み（NMI）を提供
- 命令オーバーヘッドなしでハードウェア割り込みスタック（HPE）をサポート

- 2方向メータフリー割り込み（VTF）を提供
- ベクタテーブルはアドレスモードまたはコマンドモードに対応
- 2段階の割り込みネストをサポート
- 割り込み末尾リンク解除機能をサポート

1.4.8 外部割り込み／イベントコントローラ（EXTI）

外部割り込み／イベントコントローラは、割り込み／イベント要求を生成するためのエッジ検出器を合計8個備えている。各割り込みラインは、立ち上がり／立ち下がり／両エッジのいずれかのトリガイベントで個別に構成可能であり、個別にマスクすることもできる。保留レジスタはすべての割り込み要求の状態を保持する。EXTIは、内部AHBよりも短いパルス幅のクロックサイクルも検出可能。18本の汎用I/Oポートは、同一の外部割り込みソースに任意で接続可能。

1.4.9 汎用DMAコントローラ

システムには汎用DMAコントローラ1群が内蔵されており、合計8チャネルを管理する。メモリ間、周辺機器からメモリ、メモリから周辺機器への高速データ転送を柔軟に処理し、リングバッファモードをサポートする。

各チャネルには専用のハードウェアDMAリクエストロジックが備えられており、1つ以上の周辺機器によるメモリアクセス要求に対応可能である。転送の優先度、転送長、ソースアドレス、デスティネーションアドレスは構成可能。

DMAが使用可能な主な周辺機器には、汎用／高機能／基本タイマ（TIMx）、DAC、USART、I2C、SPIが含まれる。

※DMAおよびCPUは、アービタによる仲裁後にシステムSRAMへアクセスする。

1.4.10 クロックおよびブート

システムクロックソースHSIはデフォルトで有効化されている。クロックが未構成またはリセット後は、内部24MHz RCオシレータがデフォルトのCPUクロックとして使用される。その後、外部4～25MHzクロックまたはPLLクロックを追加で選択可能である。

クロックセキュリティモードが有効な場合、HSEがシステムクロックとして使用されている（直接または間接的に）ときに外部クロックの異常が検出されると、システムクロックは自動的に内部RCオシレータへ切り替わり、同時にHSEおよびPLLは自動的に停止される。

低消費電力モードからの復帰時には、システムは自動的に内部RCオシレータへ切り替わる。クロック割り込みが有効であれば、ソフトウェアは対応する割り込みを受信可能である。

1.4.11 アナログ-デジタルコンバータ（ADC）

本製品には10ビットのアナログ／デジタルコンバータ（ADC）が内蔵されており、最大8チャネルの外部入力および2チャネルの内部サンプルに対応する。チャネルごとにサンプ

リング時間をプログラム可能であり、単発／連続／スイープ／間欠変換モードをサポートする。

アナログウォッチドッグ機能を備えており、1つまたは複数の選択チャネルの信号電圧を高精度に監視可能である。外部イベントトリガによる変換開始をサポートし、トリガソースにはオンチップタイマからの内部信号や外部ピンが含まれる。DMA操作の使用をサポートする。

また、外部トリガ遅延機能をサポートしており、この機能を有効にすると、外部トリガエッジが発生した際に、設定された遅延時間に従ってトリガ信号を遅延させ、遅延時間経過後にADC変換を開始する。

1.4.12 タイマおよびウォッチドッグ

システムに含まれるタイマには、高機能制御タイマ、汎用タイマ、2種類のウォッチドッグタイマ、およびシステムタイムベースタイマがある。

高機能制御タイマ

高機能制御タイマは、16ビットのオートリロード式アップ／ダウンカウンタであり、16ビットのプログラマブルプリスケーラを備える。汎用タイマの機能を完全に備えているほか、6チャネルに分配された三相PWMジェネレータとしても機能し、デッドゾーン挿入付きの補完PWM出力機能を持つ。指定されたカウントサイクル数後にタイマを更新して繰り返しカウントを行う機能や、ブレーキ機能などを備える。内部構造は汎用タイマと同一であり、タイマリンク機能を通じて他のTIMタイマと連携し、同期やイベントリンク機能を提供可能。

汎用タイマ

汎用タイマは、16ビットまたは32ビットのオートリロード式アップ／ダウンカウンタであり、プログラマブルな16ビットプリスケーラと4つの独立チャネルを備える。各チャネルは入力キャプチャ、出力比較、PWM生成、単発パルス出力をサポートする。高機能制御タイマと連携して同期／イベントリンク機能を提供可能。デバッグモードでは、カウンタをフリーズし、PWM出力を無効化することで、これらの出力により制御されるスイッチを遮断可能。任意の汎用タイマでPWM出力が可能。各タイマは独立したDMAリクエスト機構を持つ。インクリメンタルエンコーダからの信号や、1～3個のホールセンサからのデジタル出力にも対応可能。

独立型ウォッチドッグ（IWDG）

独立型ウォッチドッグは、構成可能な12ビットダウンカウンタであり、7種類の分周係数をサポートする。クロックは内部独立型128KHz RCオシレータ（LSI）から供給され、LSIは主クロックと独立しているため、ストップ／スタンバイモードでも動作可能。IWDGはメインプログラム外で完全に独立して動作できるため、異常時のシステムリセットや、アプリケーションのタイムアウト管理用のフリータイマとして使用可能。オプションバイトにより

ソフトウェアまたはハードウェアで起動構成可能。デバッグモードではカウンタをフリーズ可能。

ウィンドウ型ウォッチドッグ（WWDG）

ウィンドウ型ウォッチドッグは、7ビットのダウンカウンタであり、フリーランニング設定が可能。異常時にシステム全体をリセットする用途に使用される。主クロックによって駆動され、早期警告割り込み機能を備える。デバッグモードではカウンタをフリーズ可能。

SysTickタイマ

QingKeマイクロプロセッサコアには、SYSTICK例外（例外番号:15）を生成するための32ビットインクリメンタルカウンタが搭載されており、リアルタイムOSにおいてシステムの「心拍」リズムを提供する用途や、標準的な32ビットカウンタとして使用可能。自動リロード機能およびプログラマブルクロックソースを備える。

1.4.13 通信インタフェース

1.4.13.1 汎用同期／非同期受信送信機（USART）

本製品は、汎用同期／非同期受信送信機（USART）を1群搭載している。全二重非同期通信、同期片方向通信、半二重単線通信をサポートする。

LIN（Local Interconnect Network）をサポートし、ISO7816スマートカードプロトコルおよびIrDA SIR ENDEC伝送コーデック仕様に対応。モデム（CTS／RTSハードウェアフロー制御）動作も可能。

マルチプロセッサ通信を許容し、分数型ボーレート生成システムを採用。DMA操作による連続通信をサポートする。

1.4.13.2 シリアル周辺インタフェース（SPI）

SPIインタフェースを1群搭載し、マスタ／スレーブ動作をサポートし、動的切り替えが可能。マルチマスタモード、全二重／半二重同期伝送をサポート。基本的なSDカードおよびMMCモードに対応。

クロック極性および位相はプログラム可能。データビット幅は8ビットまたは16ビットから選択可能。信頼性の高い通信のためにハードウェアCRC生成／チェック機能を備え、DMA操作による連続通信をサポートする。

1.4.13.3 I2Cバス

I2Cバスインタフェースを1群搭載し、マルチマスタモードまたはスレーブモードで動作可能。I2Cバス特有のタイミング、プロトコル、アービトレーションなどを完全にサポートし、標準／高速通信速度に対応。

I2Cインタフェースは7ビットまたは10ビットアドレッシングを提供し、7ビットスレーブモードにおいてデュアルスレーブアドレス指定をサポートする。ハードウェアCRC生成／チェック機能を内蔵。

1.4.14 汎用入出力（GPIO）

システムは3群のGPIOポートを提供し、合計18本のGPIOピンを備える。各ピンはソフトウェアにより以下のいずれかに構成可能である：

- 出力（プッシュプルまたはオープンドレイン）
- 入力（プルアップ／プルダウンありまたはなし）
- 周辺機能との多重化ポート

ほとんどのGPIOピンは、デジタルまたはアナログの多重化周辺機能と共有されている。アナログ入力機能を持つポートを除き、すべてのGPIOピンは高電流通過能力を有する。

I/O構成を固定するロック機構が備えられており、I/Oレジスタへの誤書き込みを防止する。

システムのI/OピンはVDDによって供給される。VDD電源を変更することで、I/Oピンの出力レベルの高値が変化し、外部通信インタフェースのレベルに適応する。詳細は各ピンの記述を参照のこと。

1.4.15 オペアンプ／コンパレータ（OPA）

本製品はオペアンプ／コンパレータを1群内蔵しており、ADCおよびTIM2（CH1）周辺機能と内部的に接続可能である。複数チャネルの構成変更により、入力および出力の選択が可能。

外部の微小アナログ信号を増幅してADCに供給することで、微小信号のADC変換を実現できるほか、信号比較機能も実行可能。比較結果はGPIO出力として出力するか、直接TIMxの入力チャネルへ供給することができる。

1.4.16 1線式シリアルデバッグインタフェース（SDI）

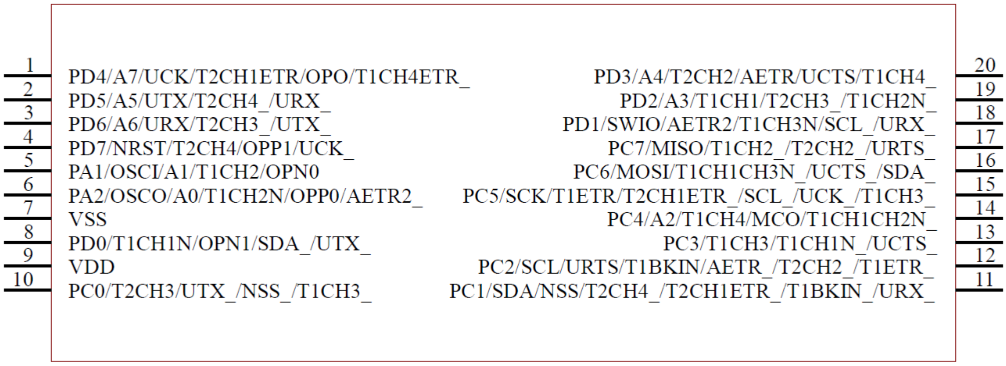
コアには1線式シリアルデバッグインタフェース（SWIOピン：Single Wire Input Output）が搭載されている。システムの電源投入またはリセット後、デフォルトでデバッグインタフェースピン機能が有効化される。

1線式エミュレーションデバッグインタフェースを使用する際には、HSIクロックを有効にする必要がある。

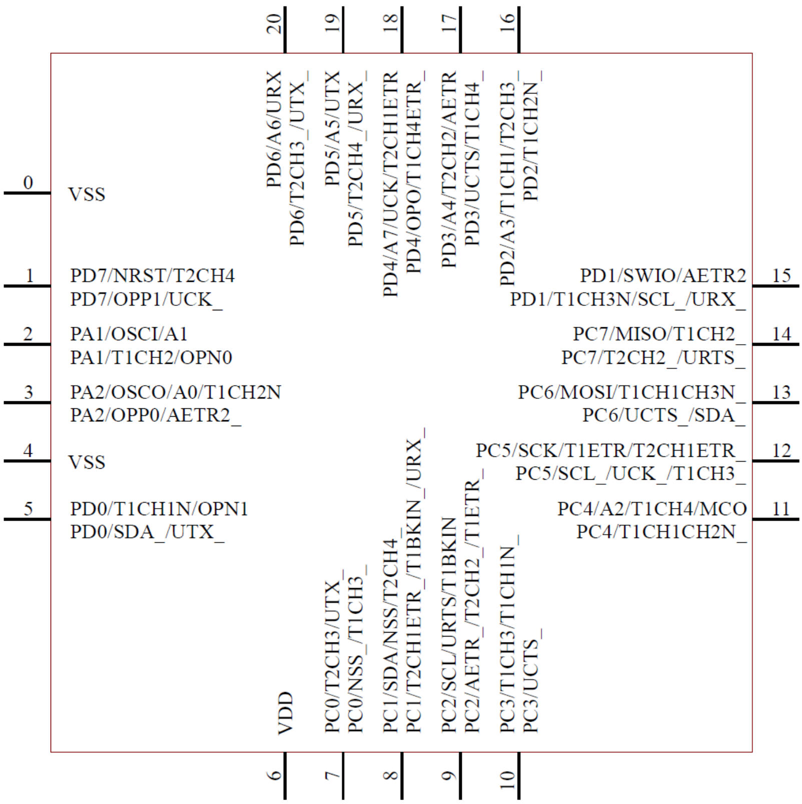
Chapter 2 ピン配置およびピン定義

2.1 ピン配置

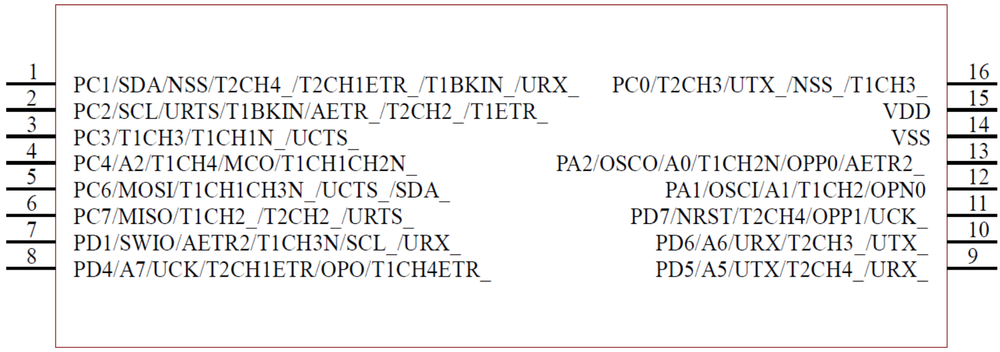
CH32V003F4P6



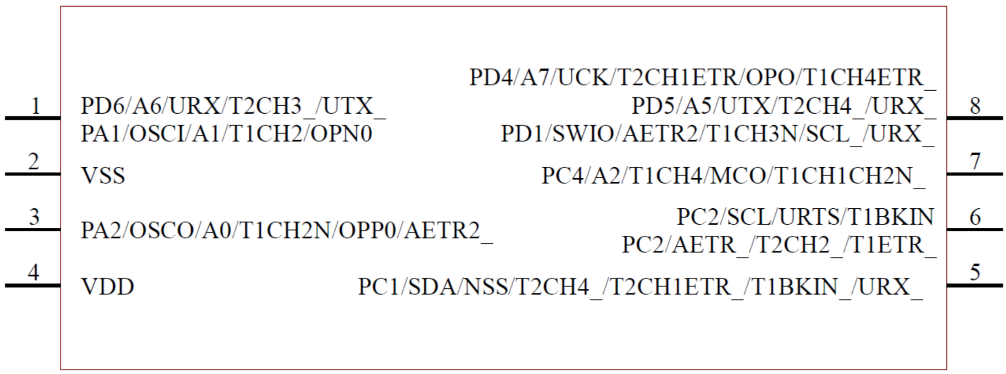
CH32V003F4U6



CH32V003A4M6



CH32V003J4M6



注:ピン図中の多重化機能は略記されている。

```
Example: A: ADC, A7 (ADC_IN7)
         T: TIME, T2CH4 (TIM2_CH4)
         U: USART, URX (USART_RX)
         OP: OPA, OPO (OPA_OUT), OPP1 (OPA_P1)
         OSCI (OSCIN)
         OSCO (OSCOUT)
         SDA (I2C_SDA)
         SCL (I2C_SCL)
         SCK (SPI_SCK)
         NSS (SPI_NSS)
         MOSI (SPI_MOSI)
         MISO (SPI_MISO)
         AETR(ADC_ETR)
```

2.2 ピン説明

表2-1 ピン定義

注：以下の表に記載されているピン機能の説明は、すべての機能に対するものであり、特定の製品モデルには依存しない。周辺リソースはモデルごとに異なる場合があるため、閲覧前に製品モデルのリソース表にて当該機能の有無を確認すること。

Pin No.				Pin name	Pin type	Main function (after reset)	Default alternate function	Remapping function
SOP16	TSSOP20	QFN20	SOP8					
-	-	0	-	VSS	P	VSS	-	-
8	1	18	8	PD4	I/O/A	PD4	UCK/T2CH1ETR(1)/A7/OPO	TIETR_2/T1CH4_3
9	2	19	8	PD5	/O/A	PD5	UTX/A5	T2CH4_3/URX_2
10	3	20	1	PD6	/O/A	PD6	URX/A6	T2CH3_3/UTX_2
11	4	1	-	PD7	/O/A	PD7	NRST/T2CH4/OPP1	UCK_1/UCK_2/T2CH4_2
12	5	2	1	PA1	/O/A	PA1	T1CH2/A1/OPN0	OSCI/T1CH2_2
13	6	3	3	PA2	/O/A	PA2	T1CH2N/A0/OPP0	OSCO/AETR2_1/T1CH2N_2
14	7	4	2	VSS	P	VSS	-	-
-	8	5	-	PD0	I/O/A	PD0	T1CH1N/OPN1	SDA_1/UTX_1/T1CH1N_2
15	9	6	4	VDD	P	VDD	-	-
16	10	7	-	PC0	I/O	PC0	T2CH3	NSS_1/UTX_3/T2CH3_2 /T1CH3_1
1	11	8	5	PC1	I/O/FT	PC1	SDA/NSS	T1BKIN_1/T2CH4_1 T2CH1ETR(1)_2/URX_3 /T2CH1ETR(1)_3/T1BKIN_3
2	12	9	6	PC2	I/O/FT	PC2	SCL/URTS/T1BKIN	AETR_1/T2CH2_1 /T1ETR_3/URTS_1 /T1BKIN_2
3	13	10	-	PC3	I/O	PC3	T1CH3	T1CH1N_1/UCTS_1 /T1CH3_2/T1CH1N_3
4	14	11	7	PC4	I/O/A	PC4	T1CH4/MCO/A2	T1CH2N_1/T1CH4_2 /T1CH1_3
-	15	12	-	PC5	I/O/FT	PC5	SCK/T1ETR	T2CH1ETR(1)_1/SCL_2 /SCL_3/UCK_3/T1ETR_1 /T1CH3_3/SCK_1
5	16	13	-	PC6	I/O/FT	PC6	MOSI	T1CH1_1/UCTS_2/SDA_2 /SDA_3/UCTS_3/T1CH3N_3 /MOSI_1

6	17	14	-	PC7	I/O	PC7	MISO	T1CH2_1/URTS_2 /T2CH2_3/URTS_3 /T1CH2_3/MISO_1
7	18	15	8	PD1	I/O/A	PD1	SWIO/T1CH3N/AETR2	SCL_1/URX_1/T1CH3N_1 /T1CH3N_2
-	19	16	-	PD2	I/O/A	PD2	T1CH1/A3	T2CH3_1/T1CH2N_3 /T1CH1_2
-	20	17	-	PD3	I/O/A	PD3	A4/T2CH2/AETR/UCTS	T2CH2_2/T1CH4_1

注：

1．TIM2_CH1、TIM2_ETR；

2．リマッピング機能のアンダースコア以降の値は、AFIOレジスタ内の対応ビットの構成値を示す。例：T1CH4_3は、AFIOレジスタの該当ビットが11bに設定されていることを示す；

3．表中略語の説明：

I = TTL／CMOSレベルのシュミット入力

O = CMOSレベルの3状態出力

P = 電源供給

FT = 5V耐性あり

A = アナログ信号の入力または出力

2.3 ピンの代替機能

注：以下の表に記載されているピン機能の説明は、すべての機能に対するものであり、特定の製品モデルには依存しない。周辺リソースはモデルごとに異なる場合があるため、閲覧前に製品モデルのリソース表にて当該機能の有無を確認すること。

表2-2 ピンの代替機能およびリマッピング機能

Alternate / Pin	ADC	TIM1	TIM2	USART	SYS	I2C	SPI	SWIO	OPA
PA1	A1	T1CH2/T1CH2_2			OSCI				OPN0
PA2	A0/AETR2_1	T1CH2N/T1CH2N_2			OSCO				OPP0
PC0		T1CH3_1	T2CH3/T2CH3_2	UTX_3			NSS_1		
PC1		T1BKIN_1/T1BKIN_3	T2CH4_1/T2CH1ETR(1)_2 /T2CH1ETR(1)_3	URX_3		SDA	NSS		
PC2	AETR_1	T1BKIN/T1ETR_3 /T1BKIN_2	T2CH2_1	URTS/URTS_1		SCL			
PC3		T1CH3/T1CH1N_1 T1CH3_2/T1CH1N_3		UCTS_1					
PC4	A2	T1CH4/T1CH2N_1 /T1CH4_2/T1CH1_3			MCO				
PC5		T1ETR/T1CH3_3 /T1ETR_1	T2CH1ETR(1)_1	UCK_3		SCL_2/SCL_3	SCK/SCK_1		
PC6		T1CH1_1/T1CH3N_3		UCTS_2/UCTS_3		SDA_2/SDA_3	MOSI/MOSI_1		
PC7		T1CH2_1/T1CH2_3	T2CH2_3	URTS_2/URTS_3			MISO/MISO_1		
PD0		T1CH1N/T1CH1N_2		UTX_1		SDA_1			OPN1
PD1	AETR2	T1CH3N/T1CH3N_1 /T1CH3N_2		URX_1		SCL_1		SWIO	
PD2	A3	T1CH1/T1CH2N_3 /T1CH1_2	T2CH3_1						
PD3	A4/AETR	T1CH4_1	T2CH2/T2CH2_2	UCTS					
PD4	A7	T1ETR_2/T1CH4_3	T2CH1ETR(1)	UCK					OPO
PD5	A5		T2CH4_3	UTX/URX_2					
PD6	A6		T2CH3_3	URX/UTX_2					
PD7			T2CH4/T2CH4_2	UCK_1/UCK_2	NRST				OPP1

Note: TIM2_CH1、TIM2_ETR.

Chapter 3 電気的特性

3.1 試験条件

特に指定･記載がない限り、すべての電圧はVSS基準で示される。

すべての最小値および最大値は、周囲温度、電源電圧、クロック周波数の最悪条件下で保証される。

代表値は常温（25℃）およびVDD = 3.3Vまたは5V環境に基づいており、設計指針としてのみ提示される。

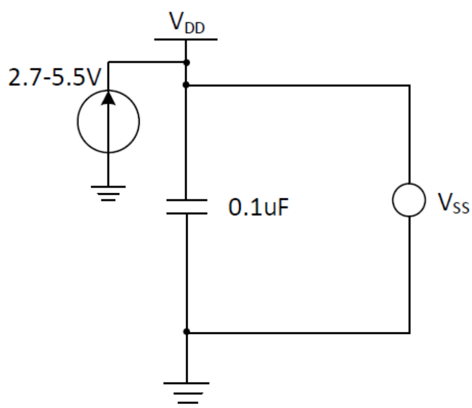
総合評価、設計シミュレーション、技術特性に基づくデータは量産試験されていない。

総合評価に基づく最小値および最大値はサンプル試験に基づくものである。

特に試験済みと明記されていない限り、特性パラメータは総合評価または設計により保証される。

電源供給方式：

図3-1 一般的な電源供給回路の例



3.2 絶対最大定格

以下の表に示す絶対最大定格を超える、またはそれに等しいストレスが加わると、デバイスに永久的な損傷を与える可能性がある。

表3-1 絶対最大定格

Symbol	説明	Min.	Max.	単位
TA	動作時周囲温度	-40	85	℃
TS	保存時周囲温度	-40	125	℃
VDD-VSS	外部主電源電圧（VDD）	-0.3	5.5	V
VIN	FT（5V耐性）ピンの入力電圧	VSS-0.3	5.5	V
	その他のピンの入力電圧	VSS-0.3	VDD+0.3	V
|△VDD_x|	主電源ピン間の電位差		50	mV
|△VSS_x|	グランドピン間の電位差		50	mV
VESD(HBM)	静電気放電耐圧（人体モデル、非接触）	4K		V
IVDD	VDD電源ラインへの総電流（供給電流）		100	mA
IVs	VSSグランドラインからの総電流（流出電流）		80	
II/O	I/Oおよび制御ピンにおけるシンク電流		20	
	I/Oおよび制御ピンにおける出力電流		-20	
IINJ(PIN)	HSEのOSC_INピン		+/-4	
	その他のピンへの注入電流		+/-4	
ΣIINJ(PIN)	すべてのI/Oおよび制御ピンへの総注入電流		+/-20	

3.3 電気的特性

3.3.1 動作条件

表3-2 一般的な動作条件

Symbol	Parameter	Condition	Min.	Max.	単位
FHCLK	内部AHBクロック周波数			50	MHz
VDD	標準動作電圧	ADC not used	2.7	5.5	V
		Use ADC (recommended)	2.8	5.5	
TA	周囲温度		-40	85	℃
TJ	ジャンクション温度範囲		-40	105	℃

表3-3 電源投入および電源遮断条件

Symbol	Parameter	Condition	Min.	Max.	単位
tVDD	VDD立ち上がり時間		0	∞	us/V
	VDD立ち下がり時間		20	∞	us/V

3.3.2 内蔵リセットおよび電源制御ブロックの特性

表3-4 リセットおよび電圧モニタ（PDRには高しきい値ギアを選択）

Symbol	Parameter	Condition	Min.	Typ.	Max.	単位
VPVD (1)	プログラマブル電圧検出器レベル選択	PLS[2:0] = 000 (rising edge)		2.85		V
		PLS[2:0] = 000 (falling edge)		2.7		V
		PLS[2:0] = 001 (rising edge)		3.05		V
		PLS[2:0] = 001 (falling edge)		2.9		V
		PLS[2:0] = 010 (rising edge)		3.3		V
		PLS[2:0] = 010 (falling edge)		3.15		V
		PLS[2:0] = 011 (rising edge)		3.5		V

		PLS[2:0] = 011 (falling edge)		3.3		V
		PLS[2:0] = 100 (rising edge)		3.7		V
		PLS[2:0] = 100 (falling edge)		3.5		V
		PLS[2:0] = 101 (rising edge)		3.9		V
		PLS[2:0] = 101 (falling edge)		3.7		V
		PLS[2:0] = 110 (rising edge)		4.1		V
		PLS[2:0] = 110 (falling edge)		3.9		V
		PLS[2:0] = 111 (rising edge)		4.4		V
		PLS[2:0] = 111 (falling edge)		4.2		V
VPVDhyst	PVDヒステリシス			0.18		V
VPOR/PDR	電源投入／遮断リセットしきい値	立ち上がりエッジ	2.32	2.5	2.68	V
		立ち下がりエッジ	2.3	2.48	2.66	V
VPDRhyst	PDRヒステリシス			20		mV
tRSTTEMPO	Power on reset		1	1.5 (2)	21	mS
	Other resets			300		uS

注記：

1．通常温度での試験値。

2．ユーザー設定ビットRST_MODEにより、電源投入時のリセット遅延を増加させることができる。

3.3.3 内蔵基準電圧

表3-5 内蔵基準電圧

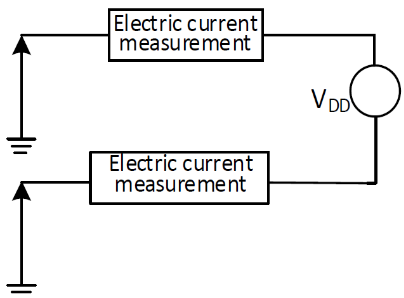
Symbol	Parameter	Condition	Min.	Typ.	Max.	単位
VREFINT	内部基準電圧	TA = -40℃~85℃	1.17	1.7	1.23	V
TS_vrefint	内部基準電圧を読み取る際のADCサンプリング時間		3		500	1/fADC

3.3.4 消費電流特性

消費電流は、複数のパラメータおよび要因による総合的な指標である。これらのパラメータおよび要因には、動作電圧、周囲温度、I/Oピン負荷、製品のソフトウェア構成、動作周波数、I/Oピンの反転率、メモリ内のプログラム配置および実行コードなどが含まれる。

消費電流の測定方法は以下の通り:

図3-2 消費電流測定方法



マイクロコントローラは以下の条件下にある:

通常温度、VDD = 3.3Vまたは5Vのケースにおいて、試験時にはすべてのIOポートがプルダウン入力に設定されている。

HSEを試験する際にはHSIをオンにし、HSIを試験する際にはHSEをオフにする。HSE = 24MHz、HSI = 24MHz(キャリブレーション済み)。

システムクロックソースはCLK×2であり、FHCLK = 48MHzまたは16MHzのときに適用される。

すべての周辺機器をオンにする場合のみ、すべての周辺機器のクロックが有効となる。

すべての周辺機器クロックの消費電力は、有効／無効によって制御される。

表3-6-1 動作中の典型的な消費電流（VDD = 3.3V）

Symbol	Parameter	条件		Typ.		単位
				すべての周辺ユニットが有効化された状態	すべての周辺ユニットが無効化された状態	
IDD (1)	Runモードにおける供給電流	外部クロック	FHCLK = 48MHz	7.4	5.2	mA
			FHCLK = 24MHz	5.6	4.5	
			FHCLK = 16MHz	4.7	3.9	
			FHCLK = 8MHz	3.0	2.6	
			FHCLK = 759KHz	1.7	1.7	
		高速内部RC発振器（HSI）AHBプリスケーラを使用して周波数を選択	FHCLK = 48MHz	6.4	4.0	
			FHCLK = 24MHz	4.6	3.5	
			FHCLK = 16MHz	4.0	3.3	
			FHCLK = 8MHz	2.4	2.0	
			FHCLK = 759KHz	1.1	1.1	

注記：
1．上記は測定されたパラメータである。
2．VDDが3V未満の場合、消費電流は増加する。

表3-6-1 動作中の典型的な消費電流（VDD = 5V）

Symbol	Parameter	条件		Typ.		単位
				すべての周辺ユニットが有効化された状態	すべての周辺ユニットが無効化された状態	
IDD (1)	Runモードにおける供給電流	外部クロック	FHCLK = 48MHz	9.0	6.8	mA
			FHCLK = 24MHz	7.1	6.0	
			FHCLK = 16MHz	5.9	5.1	
			FHCLK = 8MHz	3.7	3.3	
			FHCLK = 759KHz	2.1	2.0	
		高速内部RC発振器（HSI）AHBプリスケーラを使用して周波数を選択	FHCLK = 48MHz	7.4	5.1	
			FHCLK = 24MHz	5.7	4.6	
			FHCLK = 16MHz	5.2	4.4	
			FHCLK = 8MHz	3.2	2.8	
			FHCLK = 759KHz	1.5	1.4	

注記： 1． 上記は測定されたパラメータである。

表3-7-1 Sleepモードにおける典型的な消費電流（VDD = 3.3V）

Symbol	Parameter	条件		Typ.		単位
				すべての周辺ユニットが有効化された状態	すべての周辺ユニットが無効化された状態	
IDD (1)	Runモードにおける供給電流	外部クロック	FHCLK = 48MHz	4.7	2.4	mA
			FHCLK = 24MHz	2.8	1.7	
			FHCLK = 16MHz	2.5	1.7	
			FHCLK = 8MHz	1.7	1.3	
			FHCLK = 759KHz	1.2	1.1	
		高速内部RC発振器（HSI）AHBプリスケーラを使用して周波数を選択	FHCLK = 48MHz	4.1	1.7	
			FHCLK = 24MHz	2.1	1.0	
			FHCLK = 16MHz	1.8	1.0	
			FHCLK = 8MHz	1.0	0.6	
			FHCLK = 759KHz	0.5	0.4	

注記：
1． 上記は測定されたパラメータである。

表3-7-2 Sleepモードにおける典型的な消費電流（VDD = 5V）

Symbol	Parameter	条件		Typ.		単位
				すべての周辺ユニットが有効化された状態	すべての周辺ユニットが無効化された状態	
IDD (1)	Runモードにおける供給電流	外部クロック	FHCLK = 48MHz	4.7	2.4	mA
			FHCLK = 24MHz	2.8	1.7	
			FHCLK = 16MHz	2.5	1.7	
			FHCLK = 8MHz	1.7	1.3	
			FHCLK = 759KHz	1.2	1.1	
		高速内部RC発振器（HSI）AHBプリスケーラを使用して周波数を選択	FHCLK = 48MHz	4.1	1.7	
			FHCLK = 24MHz	2.1	1.0	
			FHCLK = 16MHz	1.8	1.0	
			FHCLK = 8MHz	0.1	0.6	
			FHCLK = 759KHz	0.5	0.4	

注記：
1. 上記は測定されたパラメータである。

表3-8 Standbyモードにおける典型的な消費電流

Symbol	Parameter	条件		typ.	単位
IDD	Standbyモードにおける供給電流	LSI on（内部128kHz発振器）	VDD = 3.3V	9.1	uA
			VDD = 5V	9.4	
		LSI off	VDD = 3.3V	7.6	
			VDD = 5V	8.0	

注記：
1. 上記は測定されたパラメータである。
2. 試験条件は以下の通り：室温、VDD = 3.3Vまたは5V、初期マスター周波数HSI = 24MHz、すべてのIOポートはプルダウン入力に設定されている。

3.3.5 外部クロックソース特性

表3-9 外部高速クロックからの供給

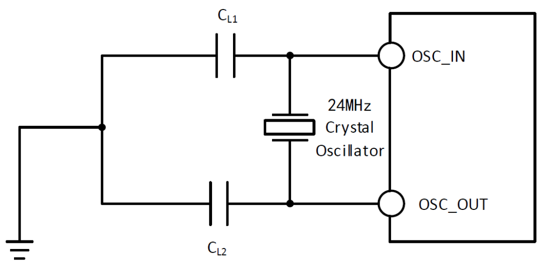
Symbol	Parameter	条件	Min.	Typ.	Max.	単位
FHSE_ext	外部クロック周波数		4	24	25	MHz
VHSEH(1)	OSC_IN入力ピンの高レベル電圧		0.8VDD		VDD	V
VHSEL(1)	OSC_IN入力ピンの低レベル電圧		0		0.2VDD	V
Cin(HSE)	OSC_IN入力容量			5		pF
DuCy(HSE)	デューティサイクル		40	50	60	%
IL	OSC_IN入力ピンの漏れ電流				±1	uA

注記1:25MHzの水晶振動子において、ESR(等価直列抵抗)は60Ωを超えないことが推奨される。25MHz未満の場合はこの制限を緩和してもよい。

回路設計の参考および要件:

水晶振動子の負荷容量は、メーカーの推奨値に従うこと。一般的にCL1 = CL2とする。

図3-4 外部24MHz水晶振動子の典型的な回路構成。



3.3.6 内部クロックソース特性

表3-11 内部高速(HSI)RC発振器の特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
FHSI	周波数(キャリブレーション後)			24		MHz
DuCyHSI	デューティサイクル		25	50	55	%
ACCHSI	HSI発振器の精度(キャリブレーション後)	TA = 0℃～70℃	-1.2		1.6	%
		TA = -40℃～85℃	-2.2		2.2	%
tSU(HSI)	HSI発振器の起動安定化時間			10		us
IDD(HSI)	HSI発振器の消費電力		120	180	270	uA

表3-12 内部低速(LSI)RC発振器の特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
FLSI	周波数		100	128	150	KHz
DuCyLSI	デューティサイクル		45	50	55	%
tSU(LSI)	LSI発振器の起動安定化時間			80		us
IDD(LSI)	LSI発振器の消費電力			1.5		uA

3.3.7 低消費電力モードからのウェイクアップ時間

表3-13 低消費電力モードからのウェイクアップ時間(注1)

Symbol	Parameter	条件	Typ.	単位
twusleep	スリープモードからのウェイクアップ	HSI RCクロックを使用したウェイクアップ	30	us
tWUSTDBY	スタンバイモードからのウェイクアップ	LDO安定化時間 + HSI RCクロックによるウェイクアップ + コードロード時間(注2)(128Kを例とする)	200	us

注記:上記のパラメータは測定値である。

3.3.8 メモリ特性

表3-14 フラッシュメモリの特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
tERASE_64	ページ(64バイト)書き込み時間	TA = -20℃~85℃	2.4		3.1	ms
tERASE	ページ(64バイト)消去時間	TA = -20℃~85℃	2.4		3.1	ms
tprog	16ビット書き込み時間	TA = -20℃~85℃	2.4		3.1	ms
tME	チップ全体の消去時間	TA = -20℃~85℃	2.4		3.1	ms
Vprog	書き込み電圧		2.8		5.5	V

表3-15 フラッシュメモリの耐久性およびデータ保持

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
NEND	耐久性	TA = 25℃	10K	80K (1)		回
tRET	データ保持		10			年

注記：耐久性パラメータは実測値であり、保証されるものではない。

3.3.9 I/Oポート特性

表3-16 汎用I/Oの静的特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
VIH	標準I/Oピン、入力高レベル電圧		0.22*(VDD-2.7)+1.55		VDD+0.3	V
	FT I/Oピン、入力高レベル電圧		0.22*(VDD-2.7)+1.55		5.5	V
VIL	標準I/Oピン、入力低レベル電圧		-0.3		0.19*(VDD-2.7)+0.65	V
	FT I/Oピン、入力低レベル電圧		-0.3		0.19*(VDD-2.7)+0.65	V
Vhys	シュミットトリガー電圧ヒステリシス		150		1	mV
Ilkg	入力漏れ電流	Standard I/O port			3	uA
		FT I/O port				
RPU	弱プルアップの等価抵抗		35	45	55	kΩ
RPD	弱プルダウンの等価抵抗		35	45	55	kΩ
CI/O	I/Oピン容量			5		pF

出力駆動電流特性

GPIO(汎用入出力ポート)は、±8mAまでの電流をシンクまたは出力可能であり、±20mAまでの電流をシンクまたは出力可能(ただし、VOL/VOHに厳密には準拠しない)。

ユーザーアプリケーションにおいて、すべてのI/Oピンの合計駆動電流は、セクション3.2に示される絶対最大定格を超えてはならない。

表3-17 出力電圧特性

Symbol	Parameter	条件	Min.	Max.	単位
VOL	8ピンがシンク状態のときの出力低レベル	TTL port, II/O = +8mA 2.7V< VDD <5.5V		0.4	V
VOH	8ピンがソース状態のときの出力高レベル		VDD-0.4		
VOL	8ピンがシンク状態のときの出力低レベル	CMOS port, II/O = +8mA 2.7V< VDD <5.5V		0.4	V
VOH	8ピンがソース状態のときの出力高レベル		2.3		
VOL	8ピンがシンク状態のときの出力低レベル	II/O = +20mA 2.7V< VDD <5.5V		1.3	V
VOH	8ピンがソース状態のときの出力高レベル		VDD-1.3		

注記:上記の条件において、複数のI/Oピンが同時に駆動される場合、総電流は表3.2に示される絶対最大定格を超えてはならない。さらに、複数のI/Oピンが同時に駆動されると、電源/グランドポイントに流れる電流が非常に大きくなり、電圧降下が発生して表中の電源電圧に内部I/O電圧が到達せず、結果として駆動電流が公称値よりも小さくなる。

表3-18 入出力AC特性

MODEx[1:0] configuration	Symbol	Parameter	条件	Min.	Max.	単位
10 (2MHz)	Fmax(I/O)out	最大周波数	CL = 50pF, VDD = 2.7-5.5V		2	MHz
	tf(I/O)out	出力 H→L立ち下がり時間	CL = 50pF, VDD = 2.7-5.5V		125	ns
	tr(I/O)out	出力 L→H立ち上がり時間			125	ns
01 (10MHz)	Fmax(I/O)out	最大周波数	CL = 50pF, VDD = 2.7-5.5V		10	MHz
	tf(I/O)out	出力 H→L立ち下がり時間	CL = 50pF, VDD = 2.7-5.5V		25	ns
	tr(I/O)out	出力 L→H立ち上がり時間			25	ns
11 (30MHz)	Fmax(I/O)out	最大周波数	CL = 50pF, VDD = 2.7-5.5V		30	MHz
	tf(I/O)out	出力 H→L立ち下がり時間	CL = 50pF, VDD = 2.7-5.5V		10	ns
	tr(I/O)out	出力 L→H立ち上がり時間	CL = 50pF, VDD = 2.7-5.5V		10	ns
	tEXTIpw	外部割り込み信号のパルス幅		10		ns

3.3.10 NRSTピン特性

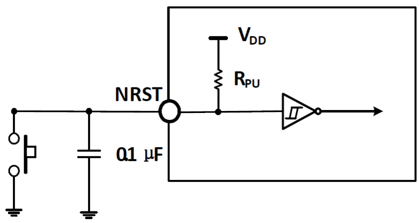
表3-19 外部リセットピン特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
VIL(NRST)	NRST入力低レベル電圧		0.3		0.28*(VDD-1.8)+ 0.6	V
VIH(NRST)	NRST入力高レベル電圧		0.41*(VDD-1.8)+1.3		VDD+0.3	V
Vhys(NRST)	NRSTシュミットトリガー電圧ヒステリシス		150			mv
RPU (1)	弱プルアップの等価抵抗		35	45	55	kΩ

注記:1. プルアップ抵抗は、スイッチ可能なPMOS実装と直列に接続された実抵抗である。
このPMOS/NMOSスイッチの抵抗値は非常に小さく(約10%程度)、回路設計上は無視できる。

回路の参照設計および要件:

図3-5 外部リセットピンの代表的な回路例



3.3.11 TIMタイマ特性

表3-20 TIMx特性

Symbol	Parameter	条件	Min.	Max.	単位
tres(TIM)	timer リファレンスクロック		1		tTIMxCLK
		fTIMxCLK = 48MHz	20.8		ns
FEXT	timer CH1～CH4 外部クロック周波数		0	fTIMxCLK/2	MHz
		fTIMxCLK = 48MHz	0	24	MHz
ResTIM	タイマ分解能			16	bit
tCOUNTER	内部クロックが選択されている場合の16ビットカウンタクロック周期		1	65536	tTIMxCLK
		fTIMxCLK = 48MHz	0.0208	1363	us
tMAX_COUNT	最大カウント値			65535	tTIMxCLK
		fTIMxCLK = 48MHz		1363	s

3.3.12 I2Cインターフェース特性

図3-6 I2Cバスのタイミング図

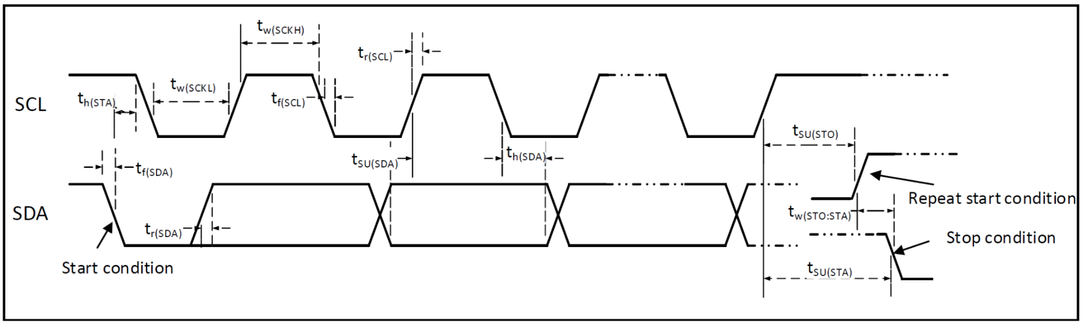


表3-21 I2Cインターフェース特性

Symbol	Parameter	Standard I2C		Fast I2C		単位
		Min.	Max.	Min.	Max.	
tw(SCKL)	SCL clock low time	4.7		1.2		us
tw(SCKH)	SCL clock high time	4.0		0.6		us
tSU(SDA)	SDA data setup time	250		100		ns
th(SDA)	SDA data hold time	0		0	900	ns
tr(SDA)/tr(SCL)	立ち上がり時間		1000	20		ns
tf(SDA)/tf(SCL)	立ち下がり時間		300			ns
th(STA)	スタートコンディションホールド時間	4.0		0.6		us
tSU(STA)	スタートコンディションセットアップ時間	4.7		0.6		us
tSU(STO)	ストップコンデションセットアップ時間	4.0		0.6		us
tw(STO:STA)	ストップコンディションからスタートコンディションまでの時間（バスフリー）	4.7		1.2		us
Cb	各バスの容量性負荷		400		400	pF

3.3.13 SPIインターフェース特性

図3-7 マスターモードにおけるSPIタイミング図

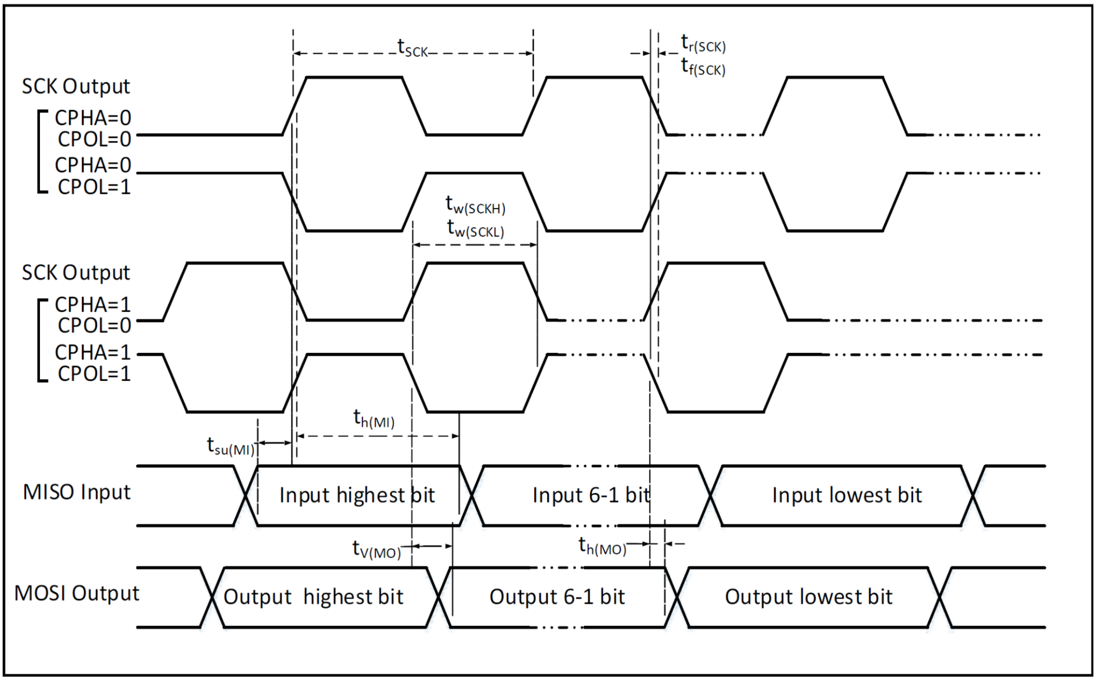


図3-8-1 スレーブモードにおけるSPIタイミング図（CPHA = 0、CPOL = 0）

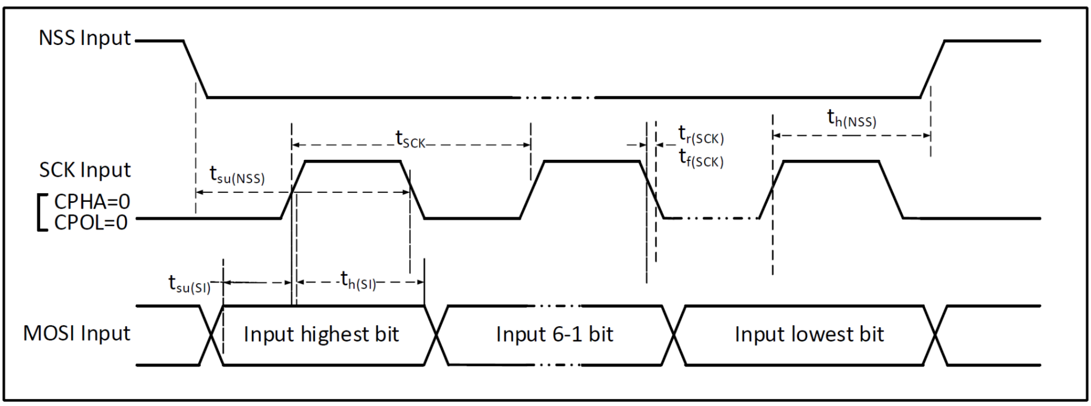


図3-8-2 スレーブモードにおけるSPIタイミング図(CPHA = 0、CPOL = 1)

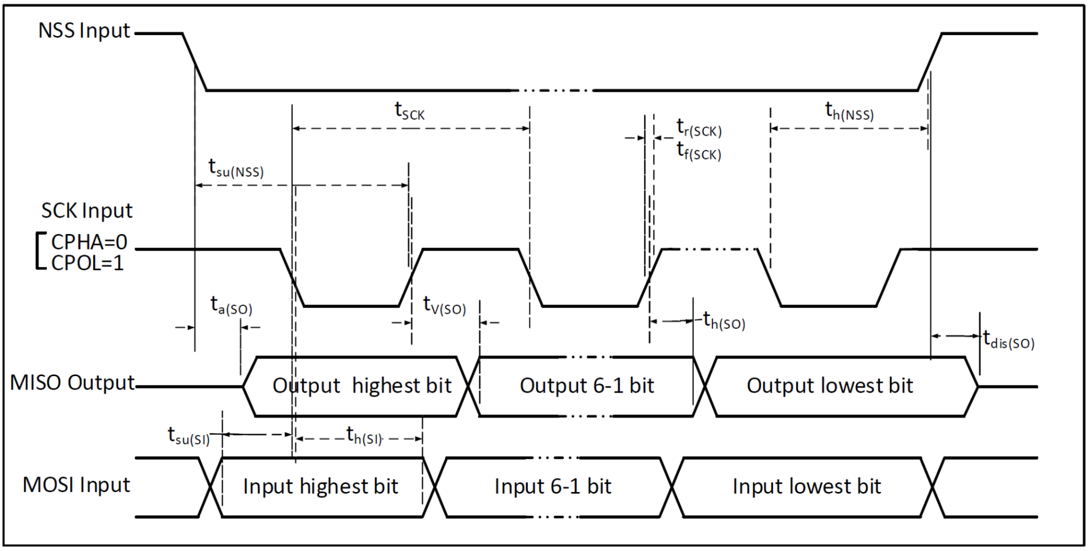


図3-9-1 スレーブモードにおけるSPIタイミング図(CPHA = 1、CPOL = 0)

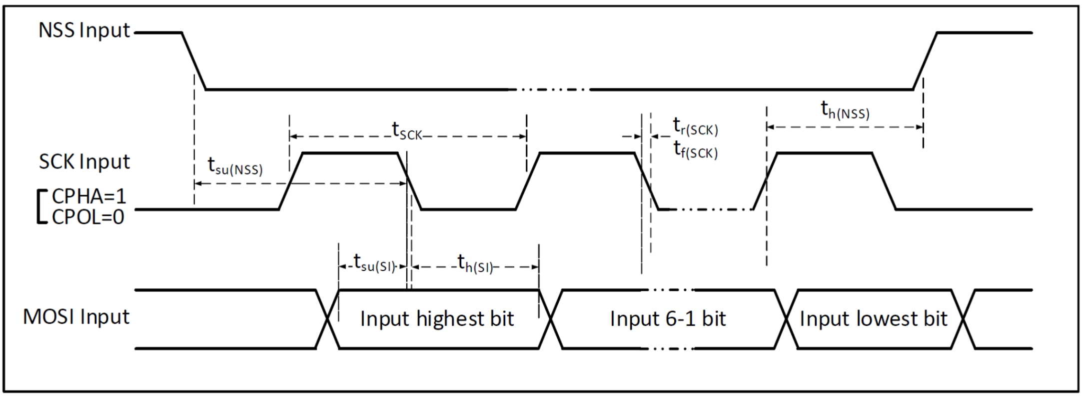


図3-9-1 スレーブモードにおけるSPIタイミング図（CPHA = 1、CPOL = 1）

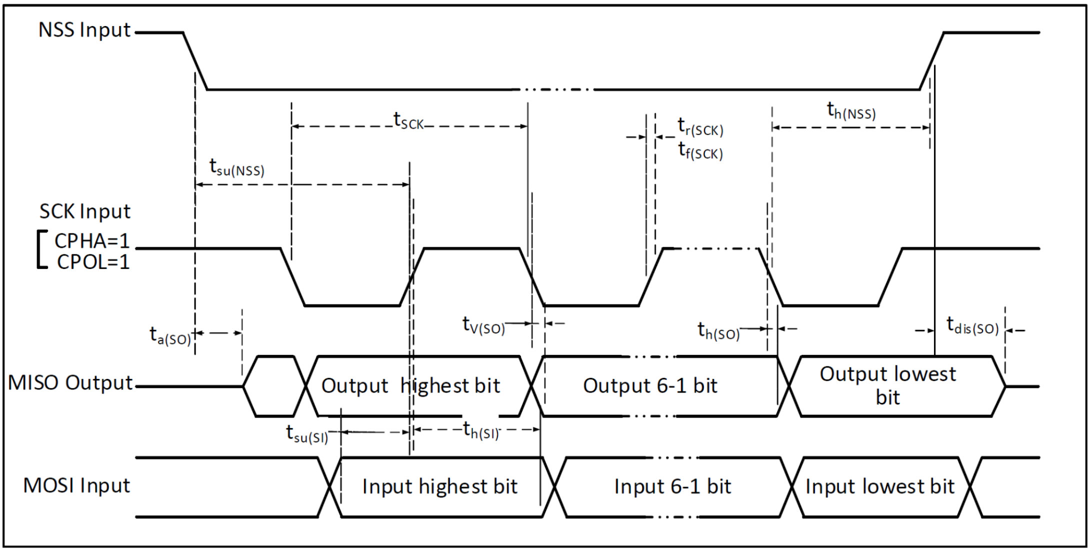


表3-22 SPIインターフェース特性

Symbol	Parameter	条件	Min.	Max.	単位
fSCK/tSCK	SPI クロック周波数	Master mode		24	MHz
		Slave mode		24	MHz
tr(SCK)/tf(SCK)	SPI クロック 立ち上がり / 立ち下がり時間	Load capacitance: C = 30pF		20	ns
tSU(NSS)	NSSセットアップ時間	Slave mode	2tPCLK		ns
th(NSS)	NSSホールド時間	Slave mode	2tPCLK		ns
tw(SCKH)/ tw(SCKL)	SCK high / low 時間	Master mode, fPCLK = 48MHz, Prescaler factor = 2	30	70	ns
tSU(MI)	Data 入力セットアップ時間	Master mode	5		ns
tSU(SI)		Slave mode	5		ns
th(MI)	Data 入力ホールド時間	Master mode	5		ns
th(SI)		Slave mode	4		ns
ta(SO)	Data 出力アクセス時間	Slave mode, fPCLK = 24MHz	0	1tPCLK	ns
tdis(SO)	Data 出力無効時間	Slave mode	0	10	ns
tV(SO)	Data 出力有効時間	Slave mode (After enable edge)		5	ns
tV(MO)		Master mode (After enable edge)		5	ns
th(SO)	Data 出力ホールド時間	Slave mode (After enable edge)	2		ns
th(MO)		Master mode (After enable edge)	0		ns

3.3.14 10ビットADC特性

表3-23 ADC特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
VDD	電源電圧		2.8		5.5	V
IDD	電源電流			370		A
fADC	ADCクロック周波数	VDD = 2.8 to 5.5V	1		6	MHz
		VDD = 3.2 to 5.5V	1		12	
		VDD = 4.5 to 5.5V	1		24	
VAIN	変換電圧範囲		VSS		VDD	V
CADC	内部サンプル＆ホールド用コンデンサ			3		pF
fS	サンプリングレート	fADC = 4 MHz			285	KHz
		fADC = 6 MHz			430	
		fADC = 12 MHz			857	
		fADC = 24 MHz			1710	
ts	サンプリングタイム	fADC = 4 MHz		0.75		us
		fADC = 6 MHz		0.5		
		fADC = 12 MHz		0.25		
tSTAB	Power-on time			7		us
tCONV	総変換時間（サンプリング時間を含む）	fADC = 4 MHz	3.5			us
		fADC = 6 MHz	2.33			us
		fADC = 12 MHz	1.17			us
		-	14			1/fADC

注記：上記のパラメータは設計上保証されている。

表3-24 ADC誤差(fADC = 12MHz:RAIN < 10kΩ、VDD > 2.9V)(fADC = 24MHz:RAIN < 3kΩ、VDD = 5V)

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
ET	総データ偏差	fADC = 12 MHz		2	6	LSB
ETF24	fADC = 24MHzにおける総データ偏差	fADC = 24 MHz		3	8	
EO	ミスアライメント誤差	fADC = 12 MHz		1	5	
EG	ゲイン誤差	fADC = 12 MHz		1	2	
ED	微分非直線性誤差	fADC = 12 MHz		0.5	2	
EL	積分非直線性誤差	fADC = 12 MHz		0.6	2.5	

注記:ソースシミュレーションによる。

Cpはプリント基板およびパッド上の寄生容量(約5pF)を表し、パッドの品質やプリント基板のレイアウトに関連する可能性がある。Cpの値が大きい場合、変換精度が低下するため、対策としてfADCの値を下げることが推奨される。

図3-10 ADCの代表的な接続図

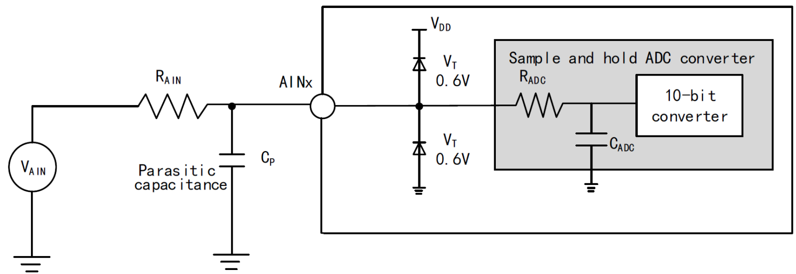
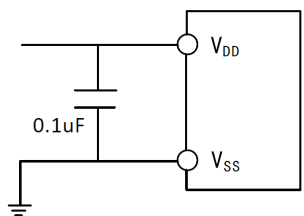


図3-11 アナログ電源およびデカップリング回路の参考例



3.3.15 OPA特性

表3-25 オペアンプ特性

Symbol	Parameter	条件	Min.	Typ.	Max.	単位
VDD	電源電圧		2.8		5.5	V
CMIR	コモンモード入力電圧		0		VDD	V
VIOFFSET	入力オフセット電圧			±3	±13	mV
ILOAD	ドライブ電流				1.5	mA
IDDOPAMP	消費電流	No load, static mode		273		uA
CMRR(1)	コモンモード除去比	@1KHz		81		dB
PSRR(1)	電源除去比	@1KHz		88		dB
AV(1)	オープンループゲイン	CLOAD = 50pF		105		dB
GBW(1)	ユニティゲイン帯域幅	CLOAD = 50pF		12		MHz
PM(1)	位相マージン	CLOAD = 50pF		75		deg
SR(1)	スルーレート制限	CLOAD = 50pF		7.7		V / us
tWAKU(1)	シャットダウンからウェイクアップまでのセットアップ時間(0.1%精度)	Input VDD/2, CLOAD=50pF,RLOAD=4kΩ		520		ns
RLOAD	抵抗負荷		4			kΩ
CLOAD	容量負荷				50	pF
VOHSAT(2)	高飽和出力電圧	RLOAD = 4kΩ, input VDD	VDD-180			mV
		RLOAD = 20kΩ, input VDD	VDD-36			
VOLSAT(2)	低飽和出力電圧	RLOAD = 4kΩ, input 0			5	mV
		RLOAD = 20kΩ, input 0			5	
EN(1)	等価入力電圧雑音	RLOAD = 4kΩ, @1KHz		83		$\frac{nv}{\sqrt{Hz}}$
		RLOAD = 4kΩ, @10KHz		28		

注記:

1. 設計パラメータは保証されている。
2. 飽和出力電圧は負荷電流によって制限される。

Chapter 4 パッケージおよび注文情報

パッケージ

Package Form	Body Size	Pin Pitch		Package Description	Order Model
TSSOP20	4.4*6.5mm	0.65mm	25.6mil	Thin Shrink Small Outline Package	CH32V003F4P6
QFN20	3.0*3.0mm	0.4mm	15.7mil	Quad Flat No-lead Package	CH32V003F4U6
SOP16	3.9*10.0mm	1.27mm	50mil	Small Outline Package	CH32V003A4M6
SOP8	3.9*5.0mm	1.27mm	50mil	Small Outline Package	CH32V003J4M6

注記：
すべての寸法はミリメートル単位である。ピン中心間隔の値は公称値であり、誤差はない。
それ以外の寸法誤差は、±0.2mmまたは10%のいずれか大きい方を超えない。

図4-1 TSSOP20パッケージ

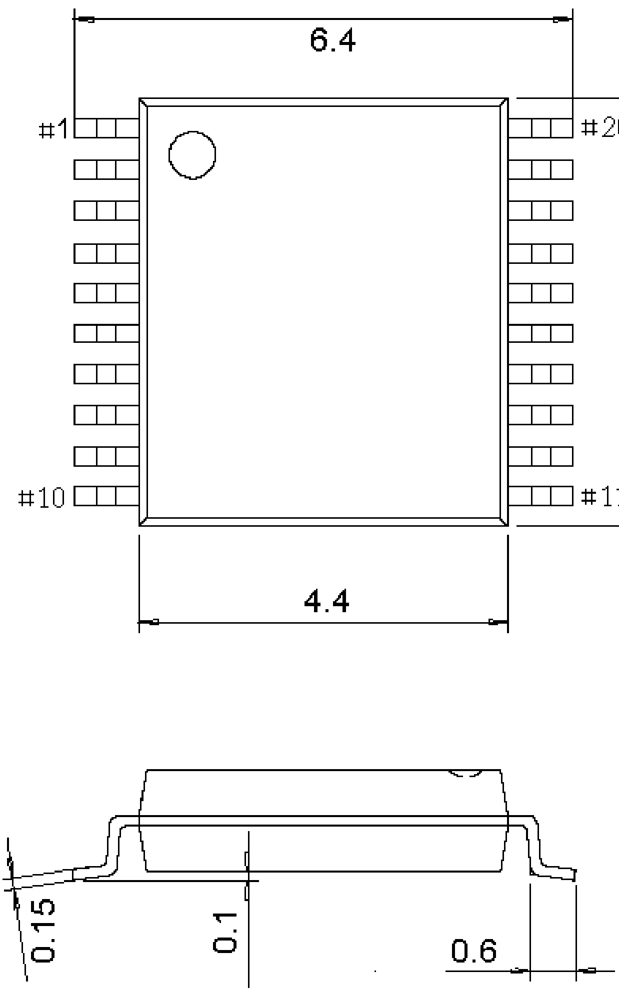


図4-2 QFN20パッケージ

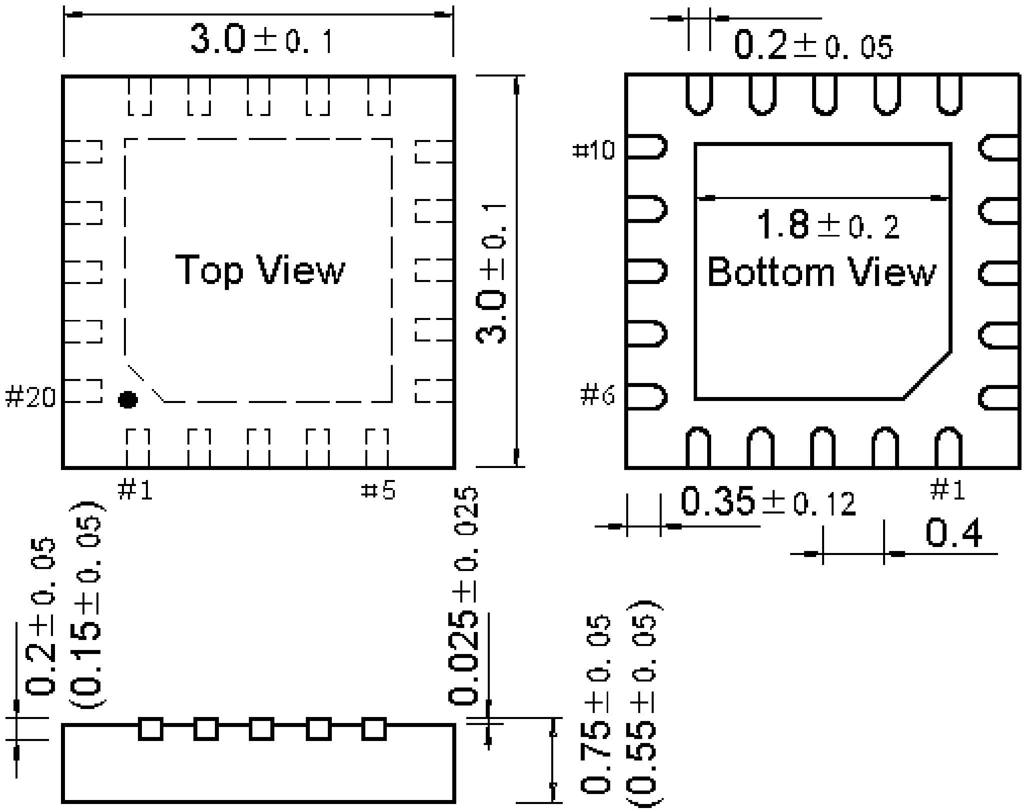


図4-3 SOP16パッケージ

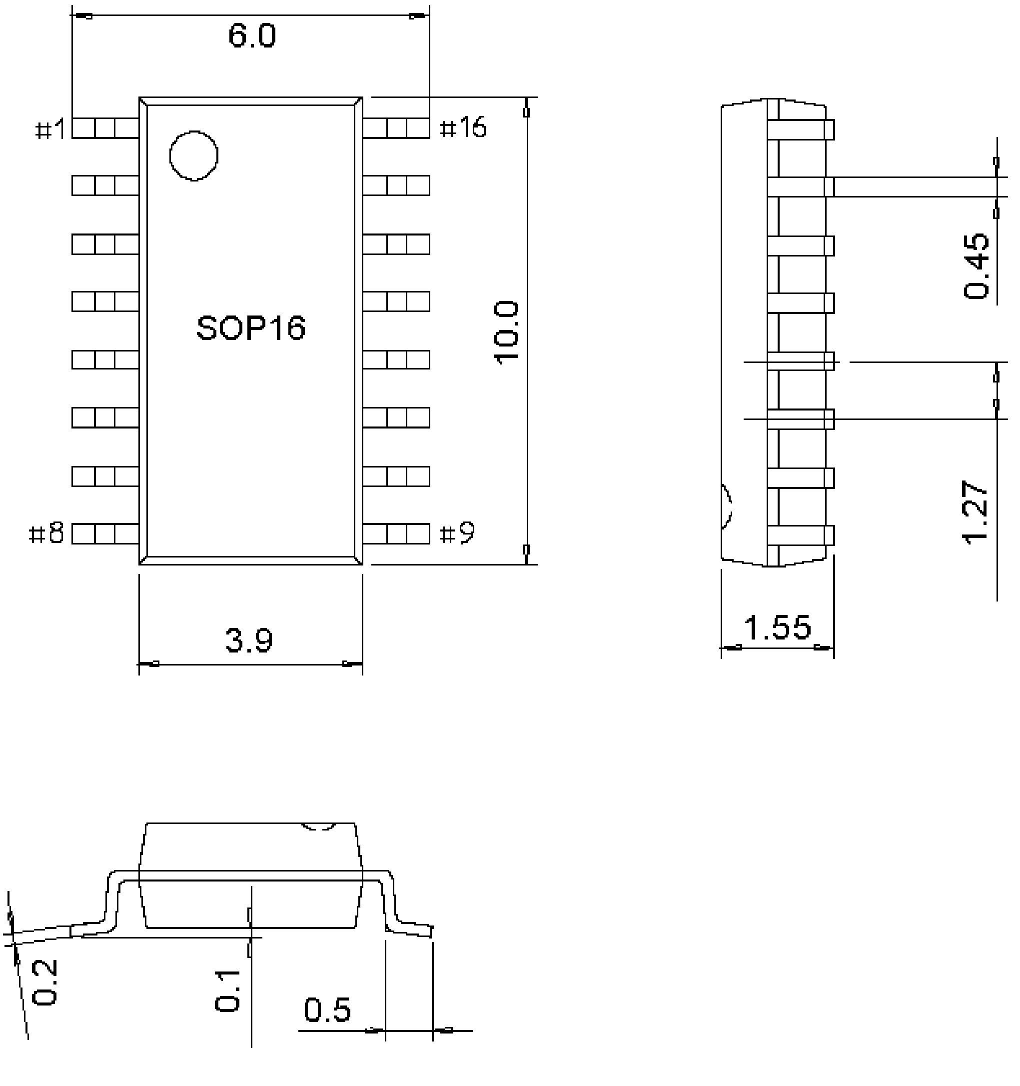
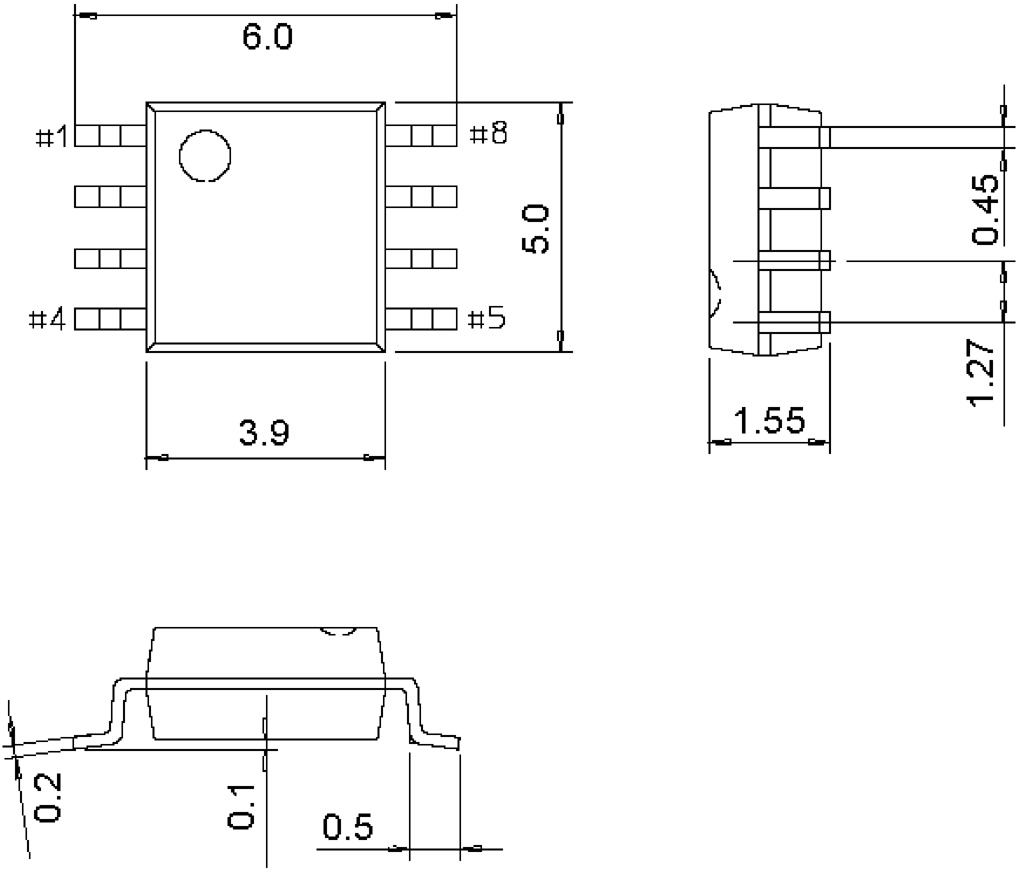


図4-4 SOP8パッケージ



Series Product Naming Rules

Example: CH32 V 3 03 R 8 T 6

Device family

F = ARM-based, general-purpose MCU
V = QingKe RISC-V-based, general-purpose MCU
L = QingKe RISC-V-based, low power MCU
X = QingKe RISC-V-based, Dedicated architecture or special IO

Product type

0 = QingKe V2/V4 core, main frequency @48M
1 = M3/ QingKe V3/V4 core, main frequency @72M
2 = M3/ QingKe V4 non-floating-point core, main frequency @144M
3 = QingKe V4F floating-point core, main frequency @144M

Device subfamily

03 = General-purpose
05 = Connectivity (USB high-speed, SDIO, dual CAN)
07 = Interconnectivity (USB high-speed, dual CAN, Ethernet, DVP, SDIO, FSMC)
08 = Wireless (BLE5.X, CAN, USB, Ethernet)
35 = Connectivity (USB, USB PD)

Pin count

J = 8 pins	A = 16 pins	F = 20 pins
G = 28 pins	K = 32 pins	T = 36 pins
C = 48 pins	R = 64 pins	W = 68 pins
V = 100 pins	Z = 144 pins	

Flash memory size

4 = 16 Kbytes of Flash memory
6 = 32 Kbytes of Flash memory
7 = 48 Kbytes of Flash memory
8 = 64 Kbytes of Flash memory
B = 128 Kbytes of Flash memory
C = 256 Kbytes of Flash memory

Package

T = LQFP U = QFN R = QSOP P = TSSOP M = SOP

Temperature range

6 = -40°C~85°C (industrial-grade)
7 = -40°C~105°C (automotive-grade 2)
3 = -40°C~125°C (automotive-grade 1)
D = -40°C~150°C (automotive-grade 0)